



PATENT ABSTRACTS OF JAPAN

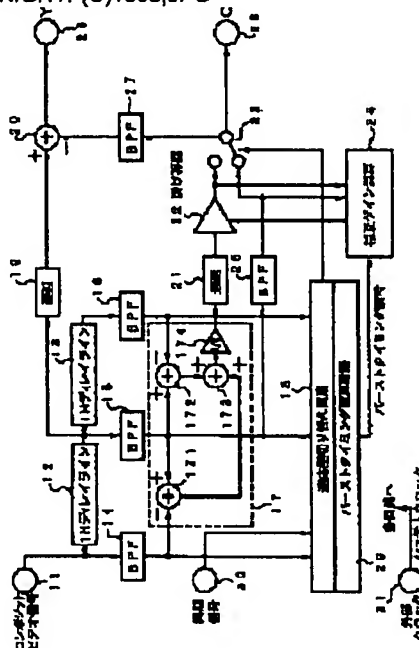
(11) Publication number: **11355799 A**(43) Date of publication of application: **24.12.99**(51) Int. Cl. **H04N 9/78**(21) Application number: **10159052**(71) Applicant: **SONY CORP**(22) Date of filing: **08.06.98**(72) Inventor: **KOMORI KENJI**(54) **Y/C SEPARATION CIRCUIT AND DIGITAL IMAGE PROCESSOR**

COPYRIGHT: (C)1999,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To provide a Y/C separation circuit and a digital image processor capable of reducing dot noise in a free-run clock system.

SOLUTION: This Y/C (luminance/chrominance) separation circuit of the free-run clock system performs Y/C separation while canceling phase deviation in the case that the phase of color sub carrier waves is shifted back and forth by arithmetically processing the 3H portion of back-and-forth lines of composite video signals obtained by 1H (horizontal scanning period) delay lines 12 and 13. Also, a multiplier 22 is provided in the poststage of a comb-line filter arithmetic circuit 17 and the gain of the multiplier 22 is controlled based on the output signals of the comb-line filter arithmetic circuit 17 (actually, the output signals of the multiplier 22) in the burst section of the composite video signals and the output signals of a band-pass filter 25.



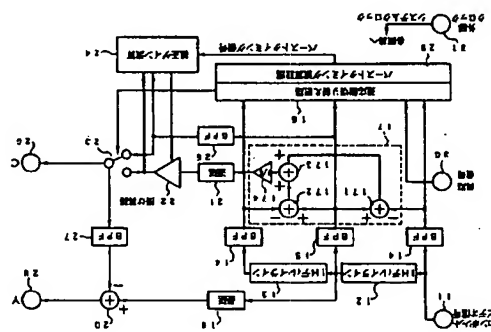
(51)IntCl. ^a	H 0 4 N	9/78			
続列記号			P I	H 0 4 N	9/78
				A	
審査請求 未請求 附求項の数 5 O L (全 7 頁)					

(21) 出願番号	特願平10-159052	(71) 出願人	000002185 ソニー株式会社
(22) 出願日	平成10年(1998) 6月8日	(72) 発明者	小森 寛二 東京都品川区北品川6丁目7番35号
		(74) 代理人	井野士 船橋 國則 一株式会社内 東京都品川区北品川6丁目7番35号 ソニ

(54) 【発明の名称】 Y/C分離回路およびデジタル画像処理装置

(57)【要約】
 【課題】PLIを構成してライン間の位相ずれが発生しないようなシステムを構成した場合、外付け部品が必要になるため、コストや基板面積などの点で不利にな

【解決手段】 フリーランクロックシステムのY/C分電回路において、1Hディレイライン12、13によって得られる、コンボジットビデオ信号の前後のラインの3H分を、整形フィルタ減算回路17で減算処理することにより、色飽和度の応相が前後で異なる場合に、相ずれをキャンセルしてY/C分離を行うとともに、整形フィルタ減算回路17の後段に掛け算器22を設けて、コンボジットビデオ信号のベースラインにおける整形フィルタ減算回路17の出力信号（実際には、掛け算器22の出力信号）とバンドパスフィルタ25の出力信号とに差をつけ掛け算器22のゲインを制御する。



【特許請求の範囲】

【請求項1】 コンポジットビデオ信号に対して非同期クロック回路1に基づいて動作し、前記コンポジットビデオ信号から輝度(Y)信号と色(C)信号を分離するY/C分離回路であって、

前記コンポジットビデオ信号の前後3ライン分の信号同

【請求項2】 前記コンジットピデオ信号の色信号周波数成分を通過させるバンドパスフィルタと

る掛け算器と、
前記 3 H 楕形フィルタの出力信号に所定のゲインを乗ず

前記コンボジットビデオ信号のベースト区間における前記3H掃形フィルタの出力信号と前記バンドパスフィルタの出力信号に基づいて前記掛け算器のゲインを制御する手段とを備えたことを特徴とする請求項1記載のY/C分離回路。

【請求項3】 前記3H波形フィルタの出力信号又は前記バンドパスフィルタの出力信号を色信号として選択する選択手段と、

前記3ライン分の信号同士に相関が有るときに前記3H
波形フィルタの出力信号を選択し、相関が無いときに前
記バスフィルタの出力信号を選択するべく前記選択
手段を制御する切り替え手段とを備えたことを特徴とす
る請求項2記載のY/C分離回路。

【請求項4】 コンポジットビデオ信号から輝度 (Y) 信号と色 (C) 信号を分離するY/C分離回路を具備し、デジタル画像処理装置において、

前記 Y/C 分離回路は、前記コンポジットビデオ信号に対して非同調のクロックに基づいて動作するとともに、

前記コンボットビデオ信号の前後3ライン分の信号同上の相関に基づいて輝度信号と色信号を分離する3H抽出フィルタを有することを特徴とするデジタル画像処理装置。

【請求項5】 前記Y/C分離回路は、前記コンポジットビデオ信号の色信号周波数成分を通過させるバンドパスフィルタと、

前記3H楕形フィルタの出力信号に所定のゲインを乗ずる掛け算器と、

前記コンポジットビデオ信号のバーヌスト区間における前記3H縞形フィルタの出力信号と前記バンドパスフィルタの出力信号に基づいて前記掛け算器のゲインを制御するゲイン制御手段とを有することを特徴とする請求項4記載のデジタル画像処理装置。

【発明の詳細な説明】
〔０００１〕
【発明の属する技術分野】 本発明は、輝度信号と色信号とを分離するＹ（輝度）／Ｃ（色）分離回路およびこれを用いたデジタル画像処理装置に関する。

[0002]

【従来の技術】輝度信号、同期信号、色信号のすべてが複合された信号（複合映像信号）であるコンポジットビデオ信号から、輝度信号（Y信号）と色信号（C信号）の分離を行うY/C分離回路として、一般的に、樹形フィルタを用いた回路構成のものが知られている。この樹形フィルタとは、次のようなものである。

[illegible]

[0004] この描形フィルタを用いたY/C分離回路の基本形を図6に示す。図6において、コンポジットビデオ信号を水平走査期間(1H)だけ1Hディレイラ・イグナイション101で遅延させ、次の1Hのコンポジットビデオ信号のうち第102で加算することによって輝度信号Yと、また次の1Hのコンポジットビデオ信号と減算器103で減算することによって色信号をそれぞれ分離することができている。これが最も一般的な2Hの描形フィルタの処理である。

【0005】この形態フィルタを用いたY/C分離回路では、従来、PLL (Phase LockedLoop) を構成してコンパッサリットビデオ信号に同期したシステムクロックを発生するようにし、このシステムクロックに基づいて回路動作を行うことによりラインに同期させたり、色副搬送波を行なうことによりラインに同期させたり、色副搬送波の位相ずれが発生しないようなシステムを構成していた。

【0006】
【発明が解決しようとする課題】しかしながら、上述した従来のY/C分離回路では、PLLを構成してライン同期の位相ずれが発生しようなシステム構成を採って、PLLを構成する例ではチャージポンプ回路のコンダクタンスや抵抗などの外付け部品になるため、コストや基板面積などの点で不利になる。

【0007】図に、PLLを構成しないように、コンポジットビデオ信号に対して非同調クロックをシステムクロックとして用いるいわゆるフリーランニングシステムを考えた場合、前述のライン間で色副搬送波の位相ずれが生ずるため、2Hの楕円フィルタを用いて、図1の位相ずれを補正する。この位相ずれは、楕円フィルタの周波数特性が所望の信号に対してずれ、この位相ずれの影響でドット妨害が発生する。すなわち、Y/C分離の際に完全な分離が行われない、楕円信号に色信号成分が混入することにより、これがドットノイズとして画面に現れるのである。

【0008】本発明は、上記課題に鑑みてなされたもの

であり、その目的とするところは、フリーランクロックシステムにおいて、ドットノイズの低減を可能としたY/C分離回路およびデジタル画像処理装置を提供することにある。

【0009】

【課題を解決するための手段】本発明によるY/C分離回路は、コンポジットビデオ信号に対して非同調クロックに基づいて動作し、コンポジットビデオ信号から輝度信号と色信号を分離するY/C分離回路であって、コンポジットビデオ信号の前後3ライン分の信号同士の間に基づいて輝度信号と色信号を分離する3H矩形フィルタを備えた構成となっている。

【0010】本発明によるデジタル画像処理装置は、コンポジットビデオ信号から輝度信号と色信号を分離するY/C分離回路として、コンポジットビデオ信号に対して非同調クロックに基づいて動作するとともに、コンポジットビデオ信号の前後3ライン分の信号同士の間に基づいて輝度信号と色信号を分離する3H矩形フィルタを有するY/C分離回路を用いた構成となっている。

【0011】上記構成のY/C分離回路およびデジタル画像処理装置では、コンポジットビデオ信号に対して非同調クロックに基づいて動作するフリーランクロックシステムにおいて、コンポジットビデオ信号の前後3ライン分の信号同士の間に基づいて輝度信号と色信号を分離すると、色副搬送波の位相が前後でずれている場合に、前後のライン3H分の演算処理によってその位相ずれがキャンセルされる。

【0012】

【発明の背景の形】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0013】図1は、本発明の一実施形態に係るY/C分離回路を示すブロック図である。なお、本実施形態においては、NTSCテレビジョン方式のコンポジットビデオ信号への適用の場合を例にとりて説明するものとする。本実施形態に係るY/C分離回路は、3H分のライン（走査線）同士の相関を抽出する3H矩形フィルタを用いた構成となっている。

【0014】すなわち、入力端子11に与えられるコンポジットビデオ信号に対して、2つの1Hディレイライン12、13を直列に接続し、1Hディレイライン12の入力信号、その出力信号（1Hディレイライン13の入力信号）および1Hディレイライン13の出力信号として、N+1ライン、NラインおよびN-1ラインの3ライン分のコンポジットビデオ信号を得るようにしている。

【0015】N+1ライン、NラインおよびN-1ラインの各コンポジットビデオ信号は、バンドパスフィルタ(BPF)14、15、16をそれぞれ通過後、信号S(N+1)、信号S(N)および信号S(N-1)とし

て矩形フィルタ演算回路17および適型型切り替え回路18に供給される。

【0016】矩形フィルタ演算回路17は、減算器17-1、17-2、加算器17-3および除算器17-4によって構成されている。この矩形フィルタ演算回路17において、減算器17-1は、バンドパスフィルタ15の出力である信号S(N)からバンドパスフィルタ14の出力である信号S(N+1)を減算する。減算器17-2は、信号S(N)からバンドパスフィルタ16の出力である信号S(N-1)を減算する。加算器17-3は、減算器17-1の減算出力S(N)-S(N+1)と減算器17-2の減算出力S(N)-S(N-1)とを加算する。除算器17-4は、加算器17-3の加算出力2×S(N)-S(N+1)-S(N-1)を1/4にする。

【0017】1Hディレイライン12の出力信号、即ちNラインのコンポジットビデオ信号は、遅延回路19を経て減算器20の減算入力となる。矩形フィルタ演算回路17の減算出力(2×S(N)-S(N+1)-S(N-1))/4は、遅延回路21および除算器22(N-1)/4は、遅延回路21および除算器22を経て、切り替えスイッチ23の一方の入力になるとともに、補正ゲイン演算回路24に供給される。

【0018】バンドパスフィルタ15の出力信号S(N)は、コンポジットビデオ信号の色信号周波数成分に対応した通過帯域を持つバンドパスフィルタ25を通過した後、切り替えスイッチ23の他方の入力になるとともに、補正ゲイン演算回路24に供給される。切り替えスイッチ23の出力は、そのまま出力端子26から色信号(C)信号として出力されるとともに、バンドパスフィルタ27を通過後減算器20の減算入力となる。減算器20の減算出力は、出力端子28から輝度(Y)信号として出力される。

【0019】補正ゲイン演算回路24は、遅延回路21および除算器22を経て矩形フィルタ演算回路17の減算出力(2×S(N)-S(N+1)-S(N-1))/4とバンドパスフィルタ25の出力信号に基づいて、掛け算器22の乗算係数であるゲインをコントロールする。この補正ゲイン演算回路24の具体的な回路構成については後述する。

【0020】適型型切り替え回路18は、バンドパスフィルタ14、15、16の各出力信号S(N+1)、S(N)およびS(N-1)を入力とし、これら3ライン分の信号に基づいて垂直方向の相関があるか否かを監視し、相関の有無に応じて切り替えスイッチ23を切り替え、減算器22の減算入力となる。相関がある場合には、掛け算器22の出力信号をC信号として選択し、相関が無い場合にはバンドパスフィルタ25の出力信号をC信号として選択するように制御する。

【0021】ペーストタイミング演算回路29は、入力端子30を介して入力される水平同期信号のタイミングに基づいてコンポジットビデオ信号のペースト期間を演

算に求め、そのペースト期間でペーストタイミング信号コンポジットビデオ信号のペースト区間で矩形フィルタ演算回路17の減算出力(2×S(N)-S(N+1)-S(N-1))/4の振幅(絶対値)を積分し、その積分値をゲイン設定回路243に供給する。また、積分回路244は、ペーストタイミング信号に基づいて、バンドパスフィルタ25の出力信号の振幅(絶対値)を積分し、その積分値をゲイン設定回路243に供給する。

【0022】上述した構成の本実施形態に係るY/C分離回路では、入力端子11に与えられるコンポジットビデオ信号に対して非同調クロックを入力端子31から取り込み、これをシステムクロックとして各回路が動作するフリーランクロックシステム構成となっている。また、このフリーランクロックシステムのもとに、矩形フィルタ演算回路17での演算に基づく3H矩形フィルタと、バンドパスフィルタ25による帯域域のバンドパスフィルタとを構成している。

【0023】そして、通常は、垂直方向に相関があることを前提に、3H矩形フィルタを用いたY/C分離を行う。すなわち、適型型切り替え回路18が垂直方向に相関がある旨を検出した場合は、切り替えスイッチ23を矩形フィルタ演算回路17側に切り替え、掛け算器22の出力信号をC信号として導出するとともに、このC信号を減算器29にてコンポジットビデオ信号から減算することによってY信号を分離する。

【0024】一方、適型型切り替え回路18が垂直方向に相関が無い旨を検出した場合は、切り替えスイッチ23をバンドパスフィルタ25側に切り替え、このバンドパスフィルタ25を通過した信号成分をC信号として導出するとともに、このC信号を減算器29にてコンポジットビデオ信号から減算することによってY信号を分離する。

【0025】なお、上記構成のY/C分離回路において、遅延回路19は、バンドパスフィルタ15、バンドパスフィルタ25およびバンドパスフィルタ29での遅延量を補正するために設けられたものである。また、遅延回路21は、矩形フィルタ演算回路17での遅延量を補正するために設けられたものである。

【0026】図2は、ゲイン補正ブロック図24の具体的な回路構成の一例を示すブロック図である。

【0027】ゲイン補正演算回路24は、積分回路24-1、24-2およびゲイン設定回路24-3から構成され、掛け算器22の出力信号、即ち図1の遅延回路21および掛け算器22を経て矩形フィルタ演算回路17の減算出力(2×S(N)-S(N+1)-S(N-1))/4と、図1のバンドパスフィルタ25の出力信号を入力としている。

【0028】このゲイン補正演算回路24において、積*

$$\text{OUT} = (2e^{j\omega t} - e^{j\omega t + \theta} - e^{j\omega t - \theta + \pi}) / 4$$

$$= e^{j\omega t} (2 + e^{-j\theta} - e^{-j\theta + \pi}) / 4$$

$$= e^{j\omega t} (2 + 2\cos(\theta)) / 4$$

【0035】この振幅の小さくなった分は、ドットノイズとなる割合は、位相のずれ量θによって決まる関数で表されるため、位相のずれ量θが一定であれば、一定ゲインとして画面に現れることになる。ここで、振幅の小さ

* 積分回路24-1は、ペーストタイミング信号に基づいて、コンポジットビデオ信号のペースト区間で矩形フィルタ演算回路17の減算出力(2×S(N)-S(N+1)-S(N-1))/4の振幅(絶対値)を積分し、その積分値をゲイン設定回路243に供給する。また、積分回路24-2は、ペーストタイミング信号に基づいて、バンドパスフィルタ25の出力信号の振幅(絶対値)を積分し、その積分値をゲイン設定回路243に供給する。

【0029】ゲイン設定回路24-3は、積分回路24-1、24-2の各積分値を比較し、その比較結果に基づいて掛け算器22のゲインを設定する。具体的には、積分回路24-1の積分値を3H、積分回路24-2の積分値をBPFと記すものとすると、3H>BPFの場合には掛け算器22のゲインを+1し、3H>BPFの場合には掛け算器22のゲインを-1し、3H=BPFの場合には掛け算器22のゲインをそのままとする。

【0030】続いて、上記構成の本実施形態に係るY/C分離回路の回路動作について説明する。

【0031】まず、コンポジットビデオ信号のフォーマットより、色副搬送波の位相が前後のライン間で反転している。矩形フィルタは、この前後のラインとの加減算を行うことによってY/C分離を行うものであることから、前後のライン間で色副搬送波の位相ずれがない場合は、図3のベクトル図からわかるように、3Hの矩形フィルタの演算、即ち矩形フィルタ演算回路17による(2×S(N)-S(N+1)-S(N-1))/4の演算でC信号を取り出すことができる。

【0032】また、本実施形態に係るY/C分離回路では、フリーランクロックシステムにおいては位相ずれがほぼ一定であることに着目して、前後のライン3H分の演算処理を行うことによって位相ずれをキャンセルするようにしている。ただし、3H分の演算処理だけでは、図4のベクトル図から明らかなように、位相は一致するものの、振幅が小さくなってしまふ。

【0033】すなわち、仮に、色副搬送波の位相がθずれた場合において、3Hの矩形フィルタの原理を使て、矩形フィルタ演算回路17において、(2×S(N)-S(N+1)-S(N-1))/4の演算を行うと、その減算出力OUTは式で表され、位相ずれはなくなるが、振幅が所望の信号よりも小さくなる。

【0034】

【数1】

ンを掛けることによって元の信号を取り出すことができる。

【0036】そこで、本実施形態に係るY/C分離回路では、図2に示す補正ゲイン値算出回路24において、バンドパス区間の2重の出力を発生した信号を用いて、バンドパスフィルタ25の出力と、矩形フィルタ演算回路17の出力に掛け算器22で所定のゲインを掛けたい値の絶対値を算分して得られた値をゲイン設定回路243で比較する。そして、両方の値の相違が一致するように掛け算器22のゲインを制御することにより、容易に元の信号を取り出すことができる。

【0037】上述したように、フリーランクロックシグナルのY/C分離回路において、コンポジットビデオ信号の前後3ライン分の信号向きの相関に基づいてY信号とC信号を分離する3H抽選フィルタを用いたことにより、色別搬送波の位相差が埋まってその位相ずれをキャンセルすることができる。これにより、外付け部品が必要となるPLLを構成しなくても、ライン間の位相ずれが発生しないようにすることができ、コストや基板面積などの点で有利になるとともに、フリーランクロックと同期したドット位置を認識できる。

【0038】さらに、變形フィルタ演算回路17の復役処理部22は、變形フィルタ演算回路17の出力信号に掛ける乗算器22を設け、コンポジットビデオ信号のストローク間における變形フィルタ演算回路17の出力信号（実際に、掛ける乗算器22の出力信号）とバンドパスフィルタ25の出力信号に基づいて掛け算器22のゲインを制御するようにしたことににより、變形フィルタ演算回路17における3H分の復元処理で振幅が小さくなった場合であっても、その結果正しくノイズを防止でき、小信号域に起因するドットノイズを防止できる。

ていように故障に起因する不良は、前後のライン
【0039】また、3H磁形フィルタは、前後のライン
の3H分の真鍮処理によってY/C分離を行うものであ
ることから、垂直方向に相関が無い場合に、3H磁形フ
ィルタを用いてY/C分離を行うと、その方が、真鍮処
理を行うことは、磁形フィルタ真鍮処理17での真鍮
形状においては、磁形フィルタ真鍮処理17での真鍮
は、3H磁形フィルタと、バンドパスフィルタ25
とによる狭帯域のバンドパスフィルタとを構成し、その選
択を垂直方向に相関の有無に応じて行うようにし、相関
が無い場合にはバンドパスフィルタ25の出力信号をC
信号として導出することで、垂直方向に相関が無い場合
であっても確実にY/C分離を行うことができる。

【0040】なお、上記要路形態では、NTSCテレビジョン方式のコンポジットビデオ信号に適用した場合を例に採って説明したが、PALテレビジョン方式のコンポジットビデオ信号にも同様に適用可能である。この場合、2Hごとに色副搬送波の位相が反転するため、1Hディレイライン1、2、3に代えて2Hディレイラインディレイライン1、2、3に代えて2Hディレイライン

ンを用いるようにすれば良い。

【0041】図5は、本発明に係るデジタル画像処理装置のビデオ信号処理系の構成の一例を示すブロック図である。なお、デジタル画像処理装置としては、デジタルテレビジョンやデジタルプリンタなどがある。

【0042】図5において、コンポジットビデオ信号は、切り替えスイッチ41によって選択的に取り込まれ、ローパスフィルタ(LPF)42を経てA/D変換器43でデジタル信号に変換された後、Y/C分離回路44に供給される。

【0043】このY/C分離回路4として、図1に示した本発明に係るY/C分離回路が用いられる。これによれば、本発明に係るY/C分離回路が、先述したように、フリーラングシステム構成であることから、外付け部品が必要なPLLを構成してラインに同期させる必要がなく、色副搬送波に同期させる構成を採る必要がない。コストや基盘面積などの点で有利となる。

【0044】一方、セパレートビデオ信号のC信号は、ローパスフィルタ45を越えた後、A/D変換器46でデジタル信号に変換される。切り替えるスイッチ47は、切り替えるスイッチ41と連動し、Y/C分離回路48に供給されたC信号またはローパスフィルタ45およびA/D変換器46を越えた信号を選択的に色復調回路48に供給する。色復調回路48は、C信号に基づいて色差信号Cb、Crを生成するなど処理を行う。

【0045】そして、本デジタル画像処理装置が例えばデジタルテレビジョンの場合には、Y信号および色差信号Cb、Crに基づいて後述の色信号処理回路（図示せず）でR（赤）、G（緑）、B（青）の3原色信号に変換された後、CRTやLCDなどの表示装置に供給され、画像表示が行われる。

【0046】また、本デジタル画像処理装置が例えばデジタルプリンタの場合には、Y信号および色差信号C、b、Crに基づいて後段の色信号処理回路（図示せず）でR、G、Bの3原色信号に変換された後、さらに色変換回路（図示せず）でY（イエロー）、M（マゼンタ）、C（シアン）、K（クロ）の4色に変換されて画像出力装置に供給されて印刷出力される。

【0047】

【発明の効果】以上説明したように、本発明によれば、コンボジット符号信号に対して非同期的クロックに基いて動作するフーラーロックシステムにおいて、コンボジット符号信号の前後3ライン分の信号同士の間隔に基づいて隣接信号と色信号を分離するようにしたことに、前後のライン3H分の演算処理によってその位相ずれをキャンセルすることができると、外付け部品が必要となるP.L.U.を排除できるとともに、フリーランクロックシステムと同期となるリット妨害を軽減できることにな

Q

【図面の簡単な説明】

【図 1】本発明の一実施形態に係る Y/C 分離回路を示す。

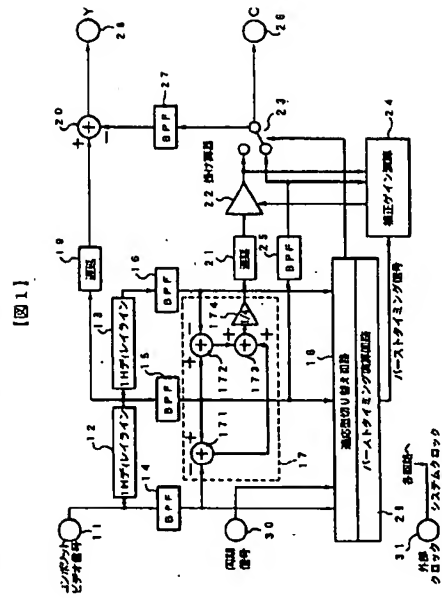
【図 1】本発明の美肌処理に於いて、この処理結果を
オノロバク菌で表す

す。日多ク図である。

【図2】補正ダイン演算回路の具体的な構成の一例を示す。

すブロック図である。

を



【图2】

